

Semiconductor device using dual damascene technology and method for manufacturing the same

Patent Number: ☐ US5886411
Publication date: 1999-03-23
Inventor(s): KOHYAMA YUSUKE (JP)
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP)
Requested Patent: ☐ JP10027889
Application Number: US19970892245 19970714
Priority Number(s): JP19960183336 19960712
IPC Classification: H01L23/48; H01L23/52; H01L29/40
EC Classification: H01L21/8242D4, H01L21/8242D2
Equivalents:

Abstract

Trenches are formed in a silicon oxide film, a barrier metal film and tungsten film are formed, and the surface portion is polished to make the surface flat and form interconnection layers of the tungsten film in the trenches. Then, the tungsten film and barrier film are etched to form a stepped portions, a silicon nitride film is formed to fill the stepped portions, and the silicon nitride film is polished to make the surface flat. After this, the silicon oxide film is etched by use of a mask pattern to form contact holes in a self-aligned manner. Then, a silicon nitride film is formed and the surface portions is etched back to form side walls on the side walls of the contact holes and a barrier metal film and tungsten film are sequentially formed to fill the contact holes, then the tungsten film and barrier metal film are polished until the silicon oxide film and silicon nitride film are exposed, and as a result, the surface is made flat.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-27889

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl.⁶

H 0 1 L 27/108
21/8242
21/768

識別記号

庁内整理番号

F I

H 0 1 L 27/10
21/90
27/10

技術表示箇所

6 8 1 B
C
6 2 1 Z

審査請求 未請求 請求項の数24 O L (全 12 頁)

(21) 出願番号 特願平8-183336

(22) 出願日 平成8年(1996) 7月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 幸山 裕亮

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

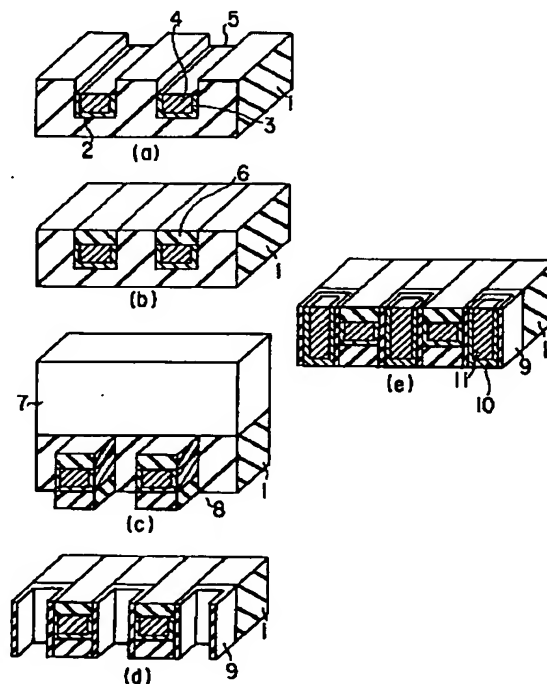
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】ビット線に対して自己整合的にコンタクトホールを形成する。

【解決手段】酸化シリコン膜1に溝2を形成し、バリアメタル3、タングステン膜4を堆積し、表面を削って平坦化すると同時にタングステン膜4からなる配線層を形成する。タングステン膜4及びバリアメタル3をエッチングして段差5を形成し、窒化シリコン膜6を堆積して段差5を充填した後、窒化シリコン膜6を削り、表面を平坦化する。所定のマスクパターンを用いて酸化シリコン膜1をエッチングし、コンタクトホール8を自己整合的に形成する。窒化シリコン膜を堆積し、エッチバックしてコンタクトホール8の側壁にサイドウォール9を形成し、次にバリアメタル10及びタングステン膜11を順次堆積し、コンタクトホール8を充填した後に、酸化シリコン膜1及び窒化シリコン膜6が露出するまでタングステン膜11及びバリアメタル10を削り、表面を平坦化する。



【特許請求の範囲】

【請求項1】 半導体基板上に第1絶縁膜を形成する工程と、

上記第1絶縁膜に溝を形成する工程と、

上記溝内を導電膜で充填する工程と、

上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、

上記段差部を第2絶縁膜で充填する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1絶縁膜に溝を形成した後にこの溝の側壁に第3絶縁膜からなるスペーサを形成する工程をさらに具備したことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 半導体基板上に第1絶縁膜を形成する工程と、

上記第1絶縁膜に溝を形成する工程と、

上記溝内を導電膜で充填する工程と、

上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、

上記段差部を第2絶縁膜で充填する工程と、

上記第2絶縁膜をマスクとして用いた選択的エッチング法によって上記第1絶縁膜をエッチングし、上記溝に隣接するコンタクトホールを形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項4】 前記第1絶縁膜に溝を形成した後にこの溝の側壁に第3絶縁膜からなる第1のスペーサを形成する工程をさらに具備したことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記コンタクトホールの側壁に第4絶縁膜からなる第2のスペーサを形成する工程をさらに具備したことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】 半導体基板上に第1絶縁膜を形成する工程と、

上記第1絶縁膜に溝を形成する工程と、

上記溝の内壁に第1導電膜を形成する工程と、

上記溝内を第2導電膜で充填する工程と、

上記第2導電膜の表面を所定の厚みだけエッチングすると同時に上記第1導電膜を上記第2導電膜のエッチング量よりも多くエッチングして上記第1絶縁膜との段差を形成する工程と、

上記段差部を第2絶縁膜で充填する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項7】 前記第1絶縁膜に溝を形成した後に、この溝の側壁に第3絶縁膜からなるスペーサを形成する工程をさらに具備したことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 半導体基板上に第1絶縁膜を形成する工程と、

上記第1絶縁膜に溝を形成する工程と、

上記溝内を導電膜で充填してビット線を形成する工程と、

上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、

上記段差部を第2絶縁膜で充填する工程と、

上記第2絶縁膜をマスクとして用いた選択的エッチング法によって上記第1絶縁膜をエッチングし、上記溝に隣接するストレージノードコンタクトホールを形成する工程とを具備したことを特徴とする半導体記憶装置の製造方法。

【請求項9】 前記第1絶縁膜に溝を形成した後にこの溝の側壁に第3絶縁膜からなるスペーサを形成する工程をさらに具備したことを特徴とする請求項8に記載の半導体記憶装置の製造方法。

【請求項10】 前記ストレージノードコンタクトホールの側壁に第4絶縁膜からなるスペーサを形成する工程をさらに具備したことを特徴とする請求項8に記載の半導体記憶装置の製造方法。

【請求項11】 半導体基板に素子分離絶縁膜を形成する工程と、

上記半導体基板にゲート絶縁膜を介してゲート電極を形成すると共に上記半導体基板に不純物を導入してソース、ドレイン拡散層を形成してMOSFETを形成する工程と、

上記MOSFETを被覆するように第1絶縁膜を形成する工程と、

上記第1絶縁膜にビット線コンタクトホールを形成する工程と、

上記第1絶縁膜に、後にビット線が形成される溝を形成する工程と、

上記溝及びビット線コンタクトホール内を導電膜で充填し、上記MOSFETのソース、ドレイン拡散層のうち一方の拡散層と電気的に接続されたビット線を形成する工程と、

上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、

上記段差部を第2絶縁膜で充填する工程と、

上記第2絶縁膜をマスクとして用いた選択的エッチング法によって上記第1絶縁膜をエッチングし、上記ビット線に隣接するストレージノードコンタクトホールを形成する工程と、

上記ストレージノードコンタクトホールの側壁に第3絶縁膜からなるスペーサを形成する工程と、

上記ストレージノードコンタクトホールを導電膜で充填する工程と、

上記MOSFETのソース、ドレイン拡散層のうち他方の拡散層と電気的に接続したストレージ電極、キャパシタ絶縁膜及びプレート電極を順次形成してキャパシタを形成する工程とを具備したことを特徴とする半導体記憶装置の製造方法。

【請求項12】 前記第1絶縁膜に溝を形成した後、この溝の側壁に第4絶縁膜からなるスペーサを形成する工程をさらに具備したことを特徴とする請求項11に記載の半導体記憶装置の製造方法。

【請求項13】 半導体基板上に形成された第1絶縁膜と、
上記第1絶縁膜に形成された溝と、
上記溝の内周面に上記溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、
上記第1導電膜上に設けられ上記溝を途中まで埋め込むように形成された第2導電膜と、
上記第1、第2導電膜上に設けられ上記溝を完全に埋め込むように形成された第2絶縁膜とを具備したことを特徴とする半導体装置。

【請求項14】 前記第2導電膜が高融点金属からなる請求項13に記載の半導体装置。

【請求項15】 前記第1導電膜がバリアメタルからなる請求項13に記載の半導体装置。

【請求項16】 前記溝の側壁には第3絶縁膜からなるスペーサが形成されている請求項13に記載の半導体装置。

【請求項17】 半導体基板上に形成された第1絶縁膜と、
上記第1絶縁膜に形成された溝と、
上記溝の上部を除いた内周面に上記溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、
上記第1導電膜上に設けられ、上面が上記溝の側壁上に位置する上記第1導電膜の上面よりも高くなるように形成された第2導電膜と、
上記溝を完全に埋め込むように形成された第2絶縁膜とを具備したことを特徴とする半導体装置。

【請求項18】 前記第2導電膜が高融点金属からなる請求項17に記載の半導体装置。

【請求項19】 前記第1導電膜がバリアメタルからなる請求項17に記載の半導体装置。

【請求項20】 前記第1絶縁膜が酸化シリコンからなりかつ前記第2絶縁膜が窒化シリコンからなる請求項17に記載の半導体装置。

【請求項21】 半導体基板上に形成された第1絶縁膜と、
上記第1絶縁膜に互いに離間して形成された第1及び第2の溝と、
上記第1絶縁膜の上記第1及び第2の溝で挟まれた領域に形成されたコンタクトホールと、
上記第1及び第2の溝の側壁に形成された第2絶縁膜からなる第1のスペーサと、
上記第1及び第2の各溝の内周面にそれぞれの溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、
上記第1導電膜上に設けられ上記第1及び第2の溝を完全に埋め込むように形成された第2導電膜と、

上記コンタクトホールの側壁に形成された第3絶縁膜からなる第2のスペーサと、

上記コンタクトホールの内周面にこのコンタクトホールを完全に埋め込まない程度の厚みに形成された第3導電膜と、

上記第3導電膜上に設けられ上記コンタクトホールを埋め込むように形成された第4導電膜とを具備したことを特徴とする半導体装置。

【請求項22】 前記第1導電膜及び第3導電膜のそれぞれがバリアメタルである請求項21に記載の半導体装置。

【請求項23】 半導体基板に形成された素子分離絶縁膜と、

上記半導体基板にゲート絶縁膜を介して設けられたゲート電極及び上記半導体基板に設けられたソース、ドレイン拡散層からなるMOSFETと、

上記MOSFETを被覆するように形成された第1絶縁膜と、

上記第1絶縁膜に形成されたビット線コンタクトホール及びビット線形成用の溝と、

上記溝を途中まで充填するように設けられた第1導電膜からなり、上記MOSFETのソース、ドレイン拡散層のうち一方の拡散層と電気的に接続されたビット線と、
上記溝を完全に充填するように設けられた第2絶縁膜と、

上記ビット線に隣接するように上記第1絶縁膜に設けられたストレージノードコンタクトホールと、

上記ストレージノードコンタクトホールの側壁に設けられた第3絶縁膜からなるスペーサと、

上記ストレージノードコンタクトホールを充填する第2導電膜と、

ストレージ電極、キャパシタ絶縁膜及びプレート電極からなり、上記MOSFETのソース、ドレイン拡散層のうち他方の拡散層と電気的に接続されたキャパシタとを具備したことを特徴とする半導体記憶装置。

【請求項24】 配線を形成する第1導電膜と、
上記配線に隣接し、上記配線の上層と下層とを接続するためのコンタクトホールと、

上記コンタクトホールを充填する第2導電膜と、

上記第1、第2導電膜相互間に形成され、上記第1、第2導電膜を電気的に分離するスペーサとを具備し、
配線下部のスペーサの膜厚よりも配線上部のスペーサの膜厚が厚いことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えばダイナミックRAMのセル構造に係り、特にビット線の上方にメモリセルキャパシタをビット線に対して自己整合的に形成するSTC (Stacked Capacitor) 型の半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体記憶装置、特にDRAMの微細化において、リソグラフィ技術における解像度の目覚ましい進歩によって、線幅及び間隔が増々縮小されている。しかしながら、合わせ精度の改善は解像度の進歩に追い付けず、合わせズレ対策が重要度を増している。

【0003】合わせズレ対策の一つとして、コンタクトホールと配線のボーダレスを実現した技術に、例えば、「C.W.Kaanta et al. " Dual Damascene: A ULSI Wiring Technology ", VMIC, pp.144-152, 1991 」記載の技術がある。また、この技術をDRAMのビット線コンタクトとビット線に応用したものに、「D.Kenney et al. " A Buried-Plate Trench Cell for 64-Mb DRAM ", VLIS Tech. Symp, pp.14-15, 1992」記載のメモリセルがある。

【0004】また、STC型キャパシタを用いたセルにおいては、メモリセルキャパシタをビット線に対して自己整合的に形成する技術として、例えば、「M.Fukumoto et al. " Stacked capacitor cell technology for 16M DRAM using double self-aligned contacts ", ESSDERC 90, pp.461-464, 1990 」記載のメモリセルが提案されている。

【0005】以下、図9を用いて、上記Dual Damascene技術を説明する。まず、下層配線101上に、平坦化された層間絶縁膜102を形成する。次に、層間絶縁膜102上に、コンタクトホールパターン103を有する第1のレジスト104と、上層配線パターン105を有する第2のレジスト106を形成する(図9(a))。次に、上記レジスト104、106をマスクに、層間絶縁膜102を選択的にエッチングし、コンタクトホール107を形成する(図9(b))。次に、露出している第1のレジスト104を一部除去し、上層配線パターン108を形成する(図9(c))。このとき、第2のレジスト106も第1のレジスト104の膜厚に応じて表面が除去される。次に、層間絶縁膜102を選択的にエッチングし、コンタクトホール109及び上層配線パターン110を形成する(図9(d))。次に、メタル111を堆積し、コンタクトホール109及び上層配線パターン110を完全に埋め込む(図9(e))。次に、CMP (Chemical Mechanical Polishing) 法を用いてメタル111をエッチバックし、上層配線112を形成すると共に表面を平坦化する(図9(f))。

【0006】

【発明が解決しようとする課題】ところで、このDual Damascene技術を、STC型キャパシタを用いたセルに応用した場合、メモリキャパシタをビット線に対して自己整合的に形成することができないという問題があった。

【0007】すなわち、メモリキャパシタを形成するためには、層間絶縁膜102に対し、半導体基板に形成されたソース、ドレイン拡散層の表面に通じる自己整合コ

ンタクトホールを形成する必要がある。しかし、上層配線112は表面が露出しているために、層間絶縁膜102をエッチングしてコンタクトホールを形成する際に上層配線112が露出されてしまうからである。そのためには、図10に示すように、予め上層配線112上にエッチングマスクとなる絶縁膜113を形成した後にコンタクトホール114を形成しなければならない。しかし、この場合には自己整合コンタクトホールとはならず、合わせ余裕を見て、上層配線112から所定の距離だけ離してコンタクトホール114を形成しなければならないため、配線間隔が大きくなり、微細化は困難である。

【0008】この発明は上記のような事情を考慮してなされたものであり、その目的は、ビット線に対して自己整合的に形成されるコンタクトホールを有する半導体装置及びその製造方法を提供することである。

【0009】

【課題を解決するための手段】請求項1に係る半導体装置の製造方法は、半導体基板上に第1絶縁膜を形成する工程と、上記第1絶縁膜に溝を形成する工程と、上記溝内を導電膜で充填する工程と、上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、上記段差部を第2絶縁膜で充填する工程とを具備している。

【0010】請求項2に係る半導体装置の製造方法は、請求項1に記載の半導体装置の製造方法において、前記第1絶縁膜に溝を形成した後にこの溝の側壁に第3絶縁膜からなるスペーサを形成する工程をさらに具備している。

【0011】請求項3に係る半導体装置の製造方法は、半導体基板上に第1絶縁膜を形成する工程と、上記第1絶縁膜に溝を形成する工程と、上記溝内を導電膜で充填する工程と、上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、上記段差部を第2絶縁膜で充填する工程と、上記第2絶縁膜をマスクとして用いた選択的エッチング法によって上記第1絶縁膜をエッチングし、上記溝に隣接するコンタクトホールを形成する工程とを具備している。

【0012】請求項4に係る半導体装置の製造方法は、請求項3に記載の半導体装置の製造方法において、前記第1絶縁膜に溝を形成した後にこの溝の側壁に第3絶縁膜からなる第1のスペーサを形成する工程をさらに具備している。

【0013】請求項5に係る半導体装置の製造方法は、請求項3に記載の半導体装置の製造方法において、前記コンタクトホールの側壁に第4絶縁膜からなる第2のスペーサを形成する工程をさらに具備している。

【0014】請求項6に係る半導体装置の製造方法は、半導体基板上に第1絶縁膜を形成する工程と、上記第1絶縁膜に溝を形成する工程と、上記溝の内壁に第1導電

膜を形成する工程と、上記溝内を第2導電膜で充填する工程と、上記第2導電膜の表面を所定の厚みだけエッチングすると同時に上記第1導電膜を上記第2導電膜のエッチング量よりも多くエッチングして上記第1絶縁膜との段差を形成する工程と、上記段差部を第2絶縁膜で充填する工程とを具備している。

【0015】請求項7に係る半導体記憶装置の製造方法は、請求項6に記載の半導体記憶装置の製造方法において、第1絶縁膜に溝を形成した後に、この溝の側壁に第3絶縁膜からなるスペーサを形成する工程をさらに具備している。

【0016】請求項8に係る半導体記憶装置の製造方法は、半導体基板上に第1絶縁膜を形成する工程と、上記第1絶縁膜に溝を形成する工程と、上記溝内を導電膜で充填してビット線を形成する工程と、上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、上記段差部を第2絶縁膜で充填する工程と、上記第2絶縁膜をマスクとして用いた選択的エッチング法によって上記第1絶縁膜をエッチングし、上記溝に隣接するストレージノードコンタクトホールを形成する工程とを具備している。

【0017】請求項9に係る半導体記憶装置の製造方法は、請求項8に記載の半導体記憶装置の製造方法において、前記第1絶縁膜に溝を形成した後にこの溝の側壁に第3絶縁膜からなるスペーサを形成する工程をさらに具備している。

【0018】請求項10に係る半導体記憶装置の製造方法は、請求項8に記載の半導体記憶装置の製造方法において、前記ストレージノードコンタクトホールの側壁に第4絶縁膜からなるスペーサを形成する工程をさらに具備している。

【0019】請求項11に係る半導体記憶装置の製造方法は、半導体基板に素子分離絶縁膜を形成する工程と、上記半導体基板にゲート絶縁膜を介してゲート電極を形成すると共に上記半導体基板に不純物を導入してソース、ドレイン拡散層を形成してMOSFETを形成する工程と、上記MOSFETを被覆するように第1絶縁膜を形成する工程と、上記第1絶縁膜にビット線コンタクトホールを形成する工程と、上記第1絶縁膜に、後にビット線が形成される溝を形成する工程と、上記溝及びビット線コンタクトホール内を導電膜で充填し、上記MOSFETのソース、ドレイン拡散層のうち一方の拡散層と電気的に接続されたビット線を形成する工程と、上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、上記段差部を第2絶縁膜で充填する工程と、上記第2絶縁膜をマスクとして用いた選択的エッチング法によって上記第1絶縁膜をエッチングし、上記ビット線に隣接するストレージノードコンタクトホールを形成する工程と、上記ストレージノードコンタクトホールの側壁に第3絶縁膜からなるスペー

ーサを形成する工程と、上記ストレージノードコンタクトホールを導電膜で充填する工程と、上記MOSFETのソース、ドレイン拡散層のうち他方の拡散層と電気的に接続したストレージ電極、キャパシタ絶縁膜及びプレート電極を順次形成してキャパシタを形成する工程とを具備している。

【0020】請求項12に係る半導体記憶装置の製造方法は、請求項11に記載の半導体記憶装置の製造方法において、前記第1絶縁膜に溝を形成した後にこの溝の側壁に第4絶縁膜からなるスペーサを形成する工程をさらに具備している。

【0021】請求項13に係る半導体装置は、半導体基板上に形成された第1絶縁膜と、上記第1絶縁膜に形成された溝と、上記溝の内周面上に上記溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、上記第1導電膜上に設けられ上記溝を途中まで埋め込むように形成された第2導電膜と、上記第1、第2導電膜上に設けられ上記溝を完全に埋め込むように形成された第2絶縁膜とを具備している。

【0022】請求項14に係る半導体装置は、請求項13に記載の半導体装置において、前記第2導電膜が高融点金属からなる。請求項15に係る半導体装置は、請求項13に記載の半導体装置において、前記第1導電膜がバリアメタルからなる。

【0023】請求項16に係る半導体装置は、請求項13に記載の半導体装置において、前記溝の側壁には第3絶縁膜からなるスペーサが形成されている。請求項17に係る半導体装置は、半導体基板上に形成された第1絶縁膜と、上記第1絶縁膜に形成された溝と、上記溝の上部を除いた内周面上に上記溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、上記第1導電膜上に設けられ、上面が上記溝の側壁上に位置する上記第1導電膜の上面よりも高くなるように形成された第2導電膜と、上記溝を完全に埋め込むように形成された第2絶縁膜とを具備している。

【0024】請求項18に係る半導体装置は、請求項17に記載の半導体装置において、前記第2導電膜が高融点金属からなる。請求項19に係る半導体装置は、請求項17に記載の半導体装置において、前記第1導電膜がバリアメタルからなる。

【0025】請求項20に係る半導体装置は、請求項17に記載の半導体装置において、前記第1絶縁膜が酸化シリコンからなりかつ前記第2絶縁膜が窒化シリコンからなる。

【0026】請求項21に係る半導体装置は、半導体基板上に形成された第1絶縁膜と、上記第1絶縁膜に互いに離間して形成された第1及び第2の溝と、上記第1絶縁膜の上記第1及び第2の溝で挟まれた領域に形成されたコンタクトホールと、上記第1及び第2の溝の側壁に形成された第2絶縁膜からなる第1のスペーサと、上記

第1及び第2の各溝の内周面にそれぞれの溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、上記第1導電膜上に設けられ上記第1及び第2の溝を完全に埋め込むように形成された第2導電膜と、上記コンタクトホール8の側壁に形成された第3絶縁膜からなる第2のスペースと、上記コンタクトホール8の内周面にこのコンタクトホール8を完全に埋め込まない程度の厚みに形成された第3導電膜と、上記第3導電膜上に設けられ上記コンタクトホール8を埋め込むように形成された第4導電膜とを具備している。

【0027】請求項22に係る半導体装置は、請求項21に記載の半導体装置において、前記第1絶縁膜及び第3絶縁膜のそれぞれがバリアメタルである。請求項23に係る半導体記憶装置は、半導体基板に形成された素子分離絶縁膜と、上記半導体基板にゲート絶縁膜を介して設けられたゲート電極及び上記半導体基板に設けられたソース、ドレイン拡散層からなるMOSFETと、上記MOSFETを被覆するように形成された第1絶縁膜と、上記第1絶縁膜に形成されたビット線コンタクトホール及びビット線形成用の溝と、上記溝を途中まで充填するように設けられた第1導電膜からなり、上記MOSFETのソース、ドレイン拡散層のうち一方の拡散層と電気的に接続されたビット線と、上記溝を完全に充填するように設けられた第2絶縁膜と、上記ビット線に隣接するように上記第1絶縁膜に設けられたストレージノードコンタクトホールと、上記ストレージノードコンタクトホール8の側壁に設けられた第3絶縁膜からなるスペースと、上記ストレージノードコンタクトホール8を充填する第2導電膜と、ストレージ電極、キャパシタ絶縁膜及びプレート電極からなり、上記MOSFETのソース、ドレイン拡散層のうち他方の拡散層と電気的に接続されたキャパシタとを具備している。

【0028】請求項24に係る半導体記憶装置は、配線を形成する第1導電膜と、上記配線に隣接し、上記配線の上層と下層とを接続するためのコンタクトホールと、上記コンタクトホール8を充填する第2導電膜と、上記第1、第2導電膜相互間に形成され、上記第1、第2導電膜を電気的に分離するスペースとを具備し、配線下部のスペースの膜厚よりも配線上部のスペースの膜厚が厚いことを特徴としている。

【0029】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1(a)～(e)はこの発明の第1の実施の形態に係る半導体装置の製造方法を工程順に示す断面図ある。

【0030】まず、半導体基板上に形成された酸化シリコン膜1に、周知のリソグラフィ法及びRIE(Reactive Ion Etching)法を用いて溝2を形成する。次に、上記溝2を完全に埋め込まない程度の厚みに、TiNまたはWN等のバリアメタル3をスパッタリング法を用いて

全面に堆積し、続いて高融点金属膜、例えばタングステン膜4をCVD(Chemical Vapor Deposition)法を用いて全面に堆積し、溝2を完全に充填する。そして、次にCMP法を用いて酸化シリコン膜1が露出するまでタングステン膜4及びバリアメタル3を削り、表面を平坦化すると同時にタングステン膜4からなる配線層を形成する。その後、RIE法を用いてタングステン膜4及びバリアメタル3を選択的にエッチングし、段差5を形成する(図1(a))。

【0031】次に窒化シリコン膜6をCVD法を用いて全面に堆積して段差5を充填した後、続いて、CMP法を用いて窒化シリコン膜6を削り、表面を平坦化する(図1(b))。

【0032】これまでの工程により、半導体基板上に形成された酸化シリコン膜1には溝2が形成され、この溝2の内周面にはこの溝2を完全に埋め込まない程度の厚みのバリアメタル3が形成され、上記バリアメタル3上には、溝を2を途中まで埋め込むようにタングステン膜4形成され、さらにタングステン膜4上には溝2を完全に埋め込むような窒化シリコン膜6が形成される。

【0033】このような方法によれば、従来のDamascene技術では達成し得なかった自己整合コンタクトを形成する上で必要になる、配線層直上の絶縁膜(窒化シリコン膜6)が形成される。

【0034】次に、溝2に直交するライン/スペースパターンを用いてフォトレジスト7を形成し、このフォトレジスト7及び窒化シリコン膜6に対して選択比の高い条件を用いて酸化シリコン膜1をRIE法によりエッチングし、コンタクトホール8を自己整合的に形成する(図1(c))。

【0035】次に、フォトレジスト7を除去し、全面に窒化シリコン膜を堆積した後、全面をRIE法を用いてエッチバックし、コンタクトホール8の側壁に窒化シリコン膜からなるサイドウォール9を形成する(図1(d))。

【0036】次にバリアメタル10及びタングステン膜11を順次堆積し、コンタクトホール8を充填する。次に、CMP法を用いて酸化シリコン膜1及び窒化シリコン膜6が露出するまでタングステン膜11及びバリアメタル10を削り、表面を平坦化する(図1(e))。

【0037】このような方法を用いることで、Damascene配線(タングステン膜4)に対して自己整合的に、このDamascene配線に隣接するコンタクトを形成することができる。従って、Damascene配線を採用した半導体装置において、Damascene配線相互間にコンタクトを設ける場合に、コンタクトを設ける際の余分な位置合わせ余裕を取る必要がないので、Damascene配線相互の間隔を十分に小さくすることができ、集積化する際のチップサイズの縮小化を図ることができる。

【0038】なお、このようにして製造された半導体装

置において、上記タングステン膜4からなる配線層はメモリセルのビット線として使用され、このビット線に隣接して形成されたコンタクトはメモリセルのストレージノードコンタクトとして使用される。

【0039】次にこの発明の第2の実施の形態に係る半導体装置の製造方法を図2(a)～(e)を用いて説明する。上記第1の実施の形態に係る半導体装置の製造方法において、酸化シリコン膜1をエッチングしてコンタクトホール8を形成する際に、酸化シリコン膜1のエッチングは、窒化シリコン膜6に対して選択比の高い条件を用いて行っている。しかし、このエッチング選択比は有限の値であるから、窒化シリコン膜6自体も僅かにエッチングされる。このとき、エッチング条件のゆらぎ、膜厚のゆらぎ等によって、ある確率でスペーサである窒化シリコン膜6がエッチングされ、短絡が生じる場合がある。この短絡の過程を詳細に調べると、配線層の肩の部分で生じることが分かっている。そこで、この第2の実施の形態に係る半導体装置では、上記配線層の肩の部分で生じる短絡を防止するようにしたものである。

【0040】すなわち、前記第1の実施の形態の方法と同様に、まず、半導体基板上に形成された酸化シリコン膜1に、周知のリソグラフィ法及びRIE法を用いて溝2を形成し、次に、上記溝2を完全に埋め込まない程度の厚みに、バリアメタル3をスパッタリング法を用いて全面に堆積し、続いて高融点金属膜、例えばタングステン膜4をCVD法を用いて全面に堆積し、溝2を完全に充填する。

【0041】その後、 Cl_2 系のガスを用いたRIE法でタングステン膜4及びバリアメタル3を選択的にエッチングし、段差5を形成する。このとき、 Cl_2 系のガスに対して、タングステンよりもチタン化合物(TiN)の方がエッチングレートが速いため、配線層の上部両側にバリアメタル3の膜厚に対応した浅い溝12が形成される(図2(a))。

【0042】この後は、前記第1の実施の形態の方法と同様に、窒化シリコン膜6をCVD法を用いて全面に堆積して段差5を充填し、次に、CMP法を用いて窒化シリコン膜6を削り、表面を平坦化し(図2(b))、さらに溝2に直交するライン/スペースパターンを用いてフォトレジスト7を形成して酸化シリコン膜1をRIE法によりエッチングし、コンタクトホール8を自己整合的に形成し(図2(c))、フォトレジスト7を除去した後、全面に窒化シリコン膜を堆積し、全面をRIE法を用いてエッチバックし、コンタクトホール8の側壁に窒化シリコン膜からなるサイドウォール9を形成し(図2(d))、続いてバリアメタル10及びタングステン膜11を順次堆積し、コンタクトホール8を充填する。そしてさらに、CMP法を用いて酸化シリコン膜1及び窒化シリコン膜6が露出するまでタングステン膜11及びバリアメタル10を削り、表面を平坦化する(図

2(e))。

【0043】このような方法によれば、配線層の肩の部分の窒化シリコン膜を溝2の側壁の部分よりも厚く形成することができるので、前記のような短絡が生じる確率を著しく低減することができ、高歩留まり、高信頼性の半導体装置を製造することができる。

【0044】図3(a)～(f)はこの発明の第3の実施の形態に係る半導体装置の製造方法を工程順に示す断面図ある。まず、半導体基板上に形成された酸化シリコン膜1に、周知のリソグラフィ法及びRIE法を用いて溝2を形成する。次に、上記溝2を完全に埋め込まない程度の厚みで、全面に窒化シリコン膜を堆積し、続いて全面をRIE法を用いてエッチバックし、溝2の側壁に窒化シリコン膜からなるサイドウォール13を形成する(図3(a))。

【0045】続いて、上記溝2を完全に埋め込まない程度の厚みに、TiNまたはWN等のバリアメタル3をスパッタリング法を用いて全面に堆積し、続いて高融点金属膜、例えばタングステン膜4をCVD法を用いて全面に堆積し、溝2を完全に充填する。次にCMP法を用いて酸化シリコン膜1が露出するまでタングステン膜4及びバリアメタル3を削り、表面を平坦化すると同時にタングステン膜4からなる配線層を形成する。その後、RIE法を用いてタングステン膜4及びバリアメタル3を選択的にエッチングし、段差5を形成する(図3(b))。この際、前記第2の実施の形態の方法と同様に、タングステン膜4よりもバリアメタル3の方がエッチングレートが速くなる条件でエッチングを行い、配線層の上部両側にバリアメタル3の膜厚に対応した浅い溝を形成するようにしてもよい。

【0046】次に窒化シリコン膜6をCVD法を用いて全面に堆積して段差5を充填し、続いて、CMP法により窒化シリコン膜6を削り、表面を平坦化する(図3(c))。

【0047】これまでの工程により、半導体基板上に形成された酸化シリコン膜1には溝2が形成され、この溝2の側壁には窒化シリコン膜からなるサイドウォール13が形成され、さらに溝2の内周面にはこの溝2を完全に埋め込まない程度の厚みのバリアメタル3が形成され、上記バリアメタル3上には、溝を2を途中まで埋め込むようにタングステン膜4が形成され、さらにタングステン膜4上には溝2を完全に埋め込むような窒化シリコン膜6が形成される。

【0048】このような方法によれば、第1の実施の形態の場合と同様に、従来のDamascene技術では達成し得なかった自己整合コンタクトを形成する上で必要になる、配線層直上の絶縁膜(窒化シリコン膜6)が形成される。

【0049】次に、溝2に直交するライン/スペースパターンを用いてフォトレジスト7を形成し、このフォト

レジスト7及び窒化シリコン膜6に対して選択比の高い条件を用いて酸化シリコン膜1をRIE法によりエッチングし、コンタクトホール8を自己整合的に形成する(図3(d))。

【0050】次に、フォトレジスト7を除去し、全面に窒化シリコン膜を堆積した後、全面をRIE法を用いてエッチバックし、コンタクトホール8の側壁に窒化シリコン膜からなるサイドウォール9を形成する(図3(e))。このサイドウォール9を構成する窒化シリコン膜の形成に際し、第1の実施の形態の方法では溝の内部に形成されたバリアメタル3に接して窒化シリコン膜が形成される。メタル上に堆積した窒化シリコン膜は、絶縁膜上に堆積した窒化シリコン膜より膜質が劣化することが知られている。この実施の形態では溝の側壁に予め窒化シリコン膜からなるサイドウォール13が形成されるために、このような劣化を引き起こすことなくサイドウォール9を形成することができる。もちろん、サイドウォール13の形成に際しても、絶縁膜(酸化シリコン膜1)上への堆積であるために、劣化を引き起こすことはない。

【0051】この後はバリアメタル10及びタングステン膜11を順次堆積し、コンタクトホール8を充填し、CMP法を用いて酸化シリコン膜1及び窒化シリコン膜6が露出するまでタングステン膜11及びバリアメタル10を削り、表面を平坦化する(図3(f))。

【0052】このような方法を用いることで、Damascene配線(タングステン膜4)に対して自己整合的に、このDamascene配線に隣接するコンタクトホール8を形成することができる。しかも、この実施の形態では、膜質の良いサイドウォール13を形成することができるという効果が得られる。

【0053】次にこの発明の第4の実施の形態を図4(a)～(d)、図5(a)～(c)、図6(a)～(d)、図7(a)～(f)及び図8を用いて説明する。この第4の実施の形態は、この発明をSTC型DRAMセルのビット線及びストレージノードコンタクトの製造方法に適用したものであり、図4(a)～(d)及び図5(a)～(c)は使用されるマスクパターンを、図6(a)～(d)、図7(a)～(f)及び図8は工程途中の図4(a)～(d)及び図5(a)～(c)中の各断面をそれぞれ示している。

【0054】まず、図4(a)に示すアクティブ領域パターン21を用いて、周知のSTI(Shallow Trench Isolation)法で、P型シリコン半導体基板31の表面に素子分離酸化膜32を形成する(図6(a))。

【0055】次に、半導体基板31の表面にゲート酸化膜33を形成した後、ポリシリコン膜34、タングステンシリサイド膜35及び窒化シリコン膜36を順次堆積し、図4(b)に示すゲート電極パターン22を用いてゲート電極をパターンニングする。続いて、ゲート電極を

マスクにN型不純物をイオン注入し、ソース/ドレイン拡散層37を形成する(図6(b))。

【0056】次に、ゲート電極の側壁に窒化シリコン膜38を形成した後、全面に酸化シリコン膜39を堆積し、CMP法を用いて窒化シリコン膜36が露出するまで酸化シリコン膜39を削り、表面を平坦化する(図6(c))。

【0057】次に、図4(c)に示すポリプラグパターン23を用いて、窒化シリコン膜36、38に対して高選択な条件で酸化シリコン膜39をエッチングし、ゲート電極に自己整合的にコンタクトホール40を形成する。次に、全面にポリシリコン膜41を堆積し、コンタクトホール40を完全に埋め込み、その後、CMP法で窒化シリコン膜36及び酸化シリコン膜39が露出するまでポリシリコン膜41を削り、表面を平坦化する(図6(d))。

【0058】次に、全面に酸化シリコン膜42を形成し、図4(d)に示すビット線コンタクトパターン24を用いて、コンタクトホール43を形成する(図7(a)、(b))。

【0059】次に、図5(a)に示すビット線パターン25を用いて、周知のDamascene法で上記酸化シリコン膜42に溝を形成し、その後、窒化シリコン膜44をその溝が埋まらない程度の膜厚で堆積し、続いて全面をRIE法を用いてエッチバックし、溝の側壁に窒化シリコン膜44からなるサイドウォールを形成する。次に、バリアメタル45及びタングステン膜46を堆積して溝を充填する。次に、CMP法を用いて酸化シリコン膜42が露出するまでタングステン膜46及びバリアメタル45を削り、表面を平坦化すると同時にタングステン膜46からなるビット線を形成する。その後、RIE法を用いてタングステン膜46及びバリアメタル45を選択的にエッチングして前記第1～第3の実施の形態と同様の段差を形成する。次に、窒化シリコン膜47を堆積してこの段差を充填し、その後、CMP法を用いて、酸化シリコン膜42が露出するまで窒化シリコン膜47を削り、表面を平坦化する(図7(c)、(d))。

【0060】次に、図5(b)に示すストレージノードコンタクトパターン26を用いて、窒化シリコン膜47に対して選択比の高い条件を用いて酸化シリコン膜42をRIE法によりエッチングし、コンタクトホール48を形成する。次に、窒化シリコン膜49を堆積し、全面を同様のRIE法を用いてエッチバックし、コンタクトホール48の側壁に窒化シリコン膜49からなるサイドウォールを形成する。次に、バリアメタル50及びタングステン膜51を順次堆積し、コンタクトホール48を充填する。次に、CMP法を用いて酸化シリコン膜42及び窒化シリコン膜47が露出するまでタングステン膜51及びバリアメタル50を削り、表面を平坦化する(図7(e)、(f))。

【0061】次に、キャパシタの下部電極となるルテニウム膜52をスパッタリング法で堆積し、図5(c)に示すストレージノードパターン27を用いて、ルテニウム膜52からなるストレージノード電極を形成する。続いて、キャパシタ絶縁膜であるBSTO（バリウム・ストロンチウム・チタンオキサイド）膜53及び上部電極となるルテニウム膜54を堆積し、メモリキャパシタが形成される（図8）。これ以降は、周知の方法で配線層を形成し、DRAMが完成する。

【0062】このような方法によって製造されたDRAMは、ビット線コンタクトとビット線のボーダーレス化を実現できると共に、ストレージノードコンタクトとビット線の自己整合も可能となり、微細化が図れ、メモリのビット単価を大幅に低減することができる。

【0063】なお、この実施の形態において、キャパシタの下部電極及び上部電極をルテニウム膜を用いて形成する場合について説明したが、ルテニウム膜の他に例えば白金膜等が使用できる。

【0064】

【発明の効果】以上説明したように、この発明によれば、ビット線に対して自己整合的に形成されるコンタクトホールを有する半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る半導体装置の製造方法を工程順に示す断面図。

【図2】この発明の第2の実施の形態に係る半導体装置の製造方法を工程順に示す断面図。

【図3】この発明の第3の実施の形態に係る半導体装置の製造方法を工程順に示す断面図。

【図4】この発明の第4の実施の形態に係る半導体装置の製造方法で使用されるマスクを示す図。

【図5】この発明の第4の実施の形態に係る半導体装置の製造方法で使用されるマスクを示す図。

【図6】上記第4の実施の形態に係る半導体装置の製造方法を工程順に示す断面図。

【図7】図6に続く製造工程を示す断面図。

【図8】図7に続く製造工程を示す断面図。

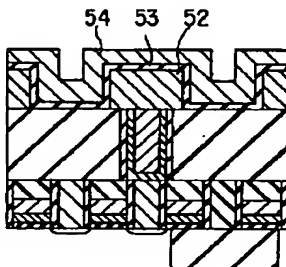
【図9】従来の半導体装置の製造方法を工程順に示す断面図。

【図10】図9に続く断面図。

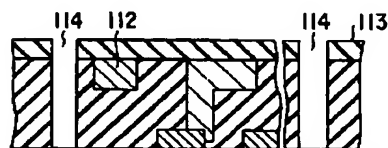
【符号の説明】

1…酸化シリコン膜、2…溝、3…バリアメタル、4…タングステン膜、5…段差、6…窒化シリコン膜、7…フォトリソ、8…コンタクトホール、9…サイドウォール、10…バリアメタル、11…タングステン膜、12…浅い溝、13…サイドウォール、21…アクティブ領域パターン、22…ゲート電極パターン、23…ポリラゲパターン、24…ビット線コンタクトパターン、25…ビット線パターン、26…ストレージノードコンタクトパターン、27…ストレージノードパターン、31…P型シリコン半導体基板、32…素子分離酸化膜、33…ゲート酸化膜、34…ポリシリコン膜、35…タングステンシリサイド膜、36…窒化シリコン膜、37…ソース/ドレイン拡散層、38…窒化シリコン膜、39…酸化シリコン膜、40…コンタクトホール、41…ポリシリコン膜、42…酸化シリコン膜、43…コンタクトホール、44…窒化シリコン膜、45…バリアメタル、46…タングステン膜、47…窒化シリコン膜、48…コンタクトホール、49…窒化シリコン膜、50…バリアメタル、51…タングステン膜、52…ルテニウム膜、53…BSTO膜、54…ルテニウム膜。

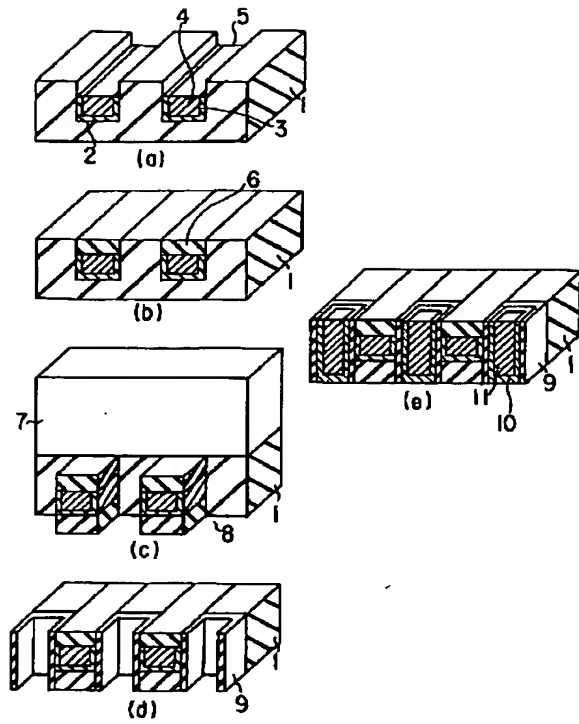
【図8】



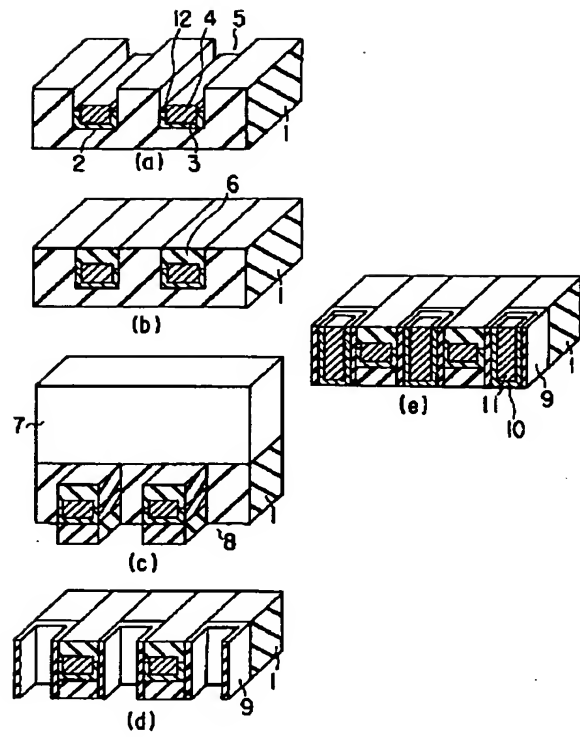
【図10】



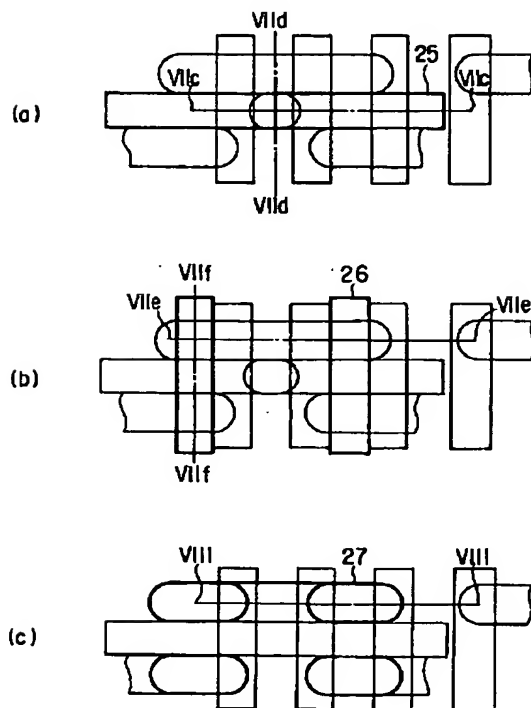
【図1】



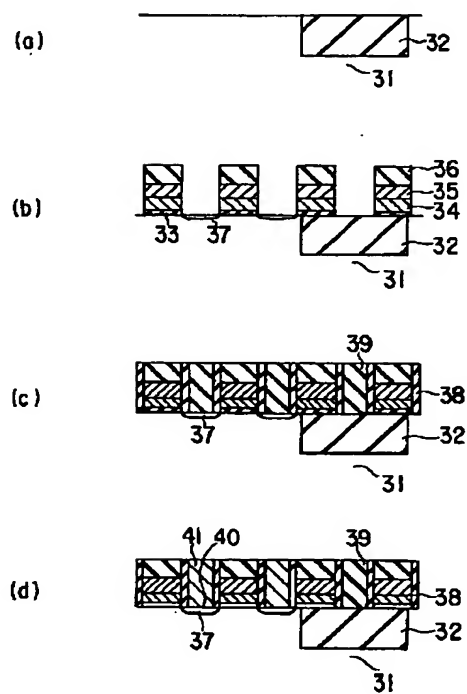
【図2】



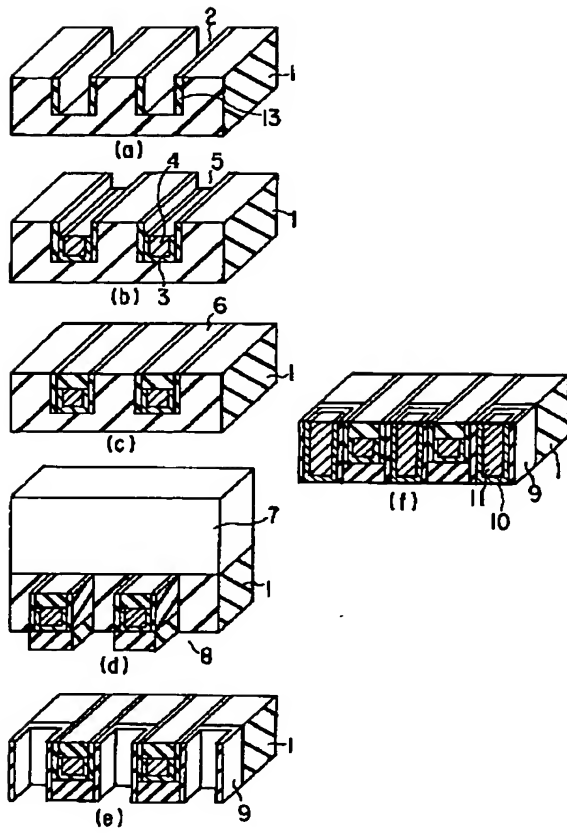
【図5】



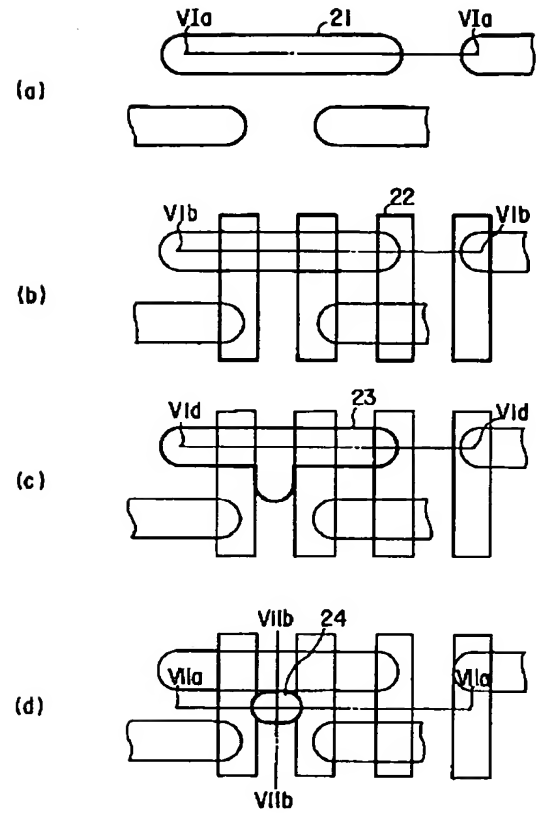
【図6】



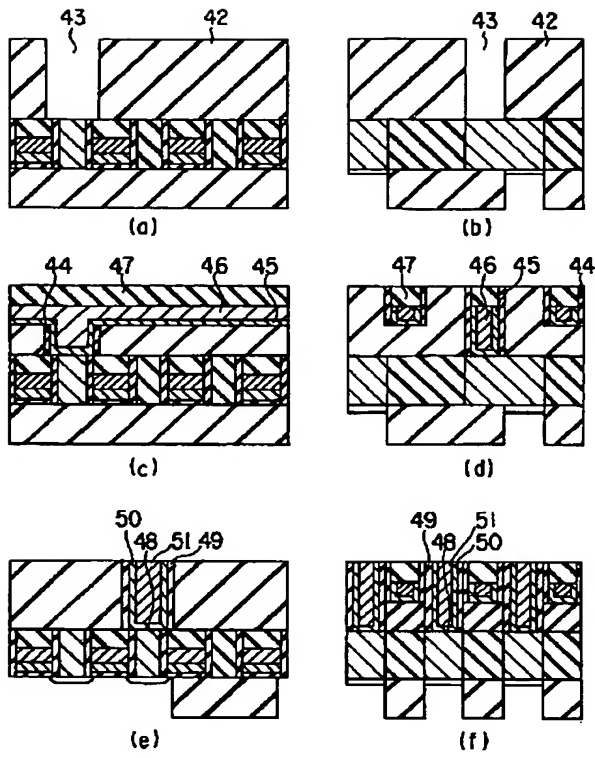
【図3】



【図4】



【図7】



【図9】

